

Family list**3** family members for:**JP2003318192**

Derived from 2 applications.

1 METHOD FOR MANUFACTURING DEVICE, DEVICE USING THE SAME, ELECTROOPTICAL DEVICE, AND ELECTRONIC DEVICEPublication info: **JP2003318192 A** - 2003-11-07**2 Method of manufacturing device, device, electro-optical device, and electronic apparatus**Publication info: **US6908796 B2** - 2005-06-21**US2003219934 A1** - 2003-11-27

Data supplied from the **esp@cenet** database - Worldwide

Patent number: JP2003318192

Publication date: 2003-11-07

Inventor: FURUSAWA MASAHIRO

Applicant: SEIKO EPSON CORP

Classification:

- international: **H01L21/84; H01L27/12; H01L21/70; H01L27/12; (IPC1-7): H01L21/336; G02F1/1368; H01L21/288; H01L29/786**

- european: H01L21/84; H01L27/12

Application number: JP20020119965 20020422

Priority number(s): JP20020119965 20020422

Also published as:



US6908796 (B2)

US2003219934 (A1)

Report a data error here

Abstract of JP2003318192

PROBLEM TO BE SOLVED: To provide a method for manufacturing a device by which a manufacturing cost can be reduced.

SOLUTION: A pixel part 100 of a display device is provided with a gate electrode 13, a gate insulation film 16, a thin-film transistor T including a channel area 18 and a source/drain area 22, a source line 26 for supplying a current to the thin-film transistor T, and a pixel electrode 24. When manufacturing the pixel circuit 100, the gate electrode 13, gate insulation film 16 and channel area 18 are first formed on a glass substrate 10. After the channel area 18 or the like is formed, a polyimide film 20 is so formed on the glass substrate 10 as to surround the outer circumference of areas forming the source/drain area 22, pixel electrode 24 and source line 26. A liquid material is applied to an area surrounded with a wall of the polyimide film 20, and it is heated to form it into a film, thus forming elements such as the source/drain area 22 or the like.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-318192

(P 2 0 0 3 - 3 1 8 1 9 2 A)

(43) 公開日 平成15年11月7日(2003.11.7)

(51) Int. Cl. ⁷

識別記号

F I

テーマコード (参考)

H01L 21/336

G02F 1/1368

2H092

G02F 1/1368

H01L 21/288

M 4M104

H01L 21/288

29/78

616

L 5F110

29/786

612

C

616

V

審査請求 有 請求項の数31 O L (全13頁) 最終頁に続く

(21) 出願番号

特願2002-119965(P 2002-119965)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日

平成14年4月22日(2002.4.22)

(72) 発明者 古沢 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外2名)

最終頁に続く

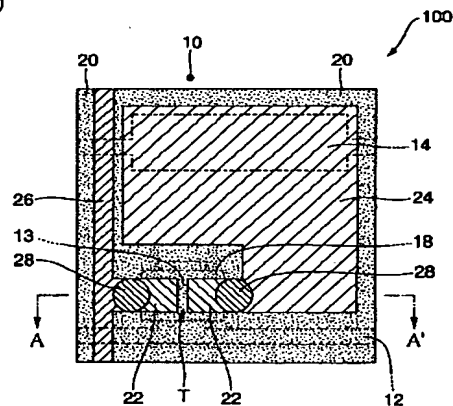
(54) 【発明の名称】 デバイスの製造方法、デバイス、電気光学装置及び電子機器

(57) 【要約】

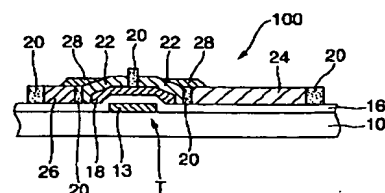
【課題】 製造コストを低減することを可能とするデバイスの製造方法を提供すること。

【解決手段】 表示装置の画素部100は、ゲート電極13、ゲート絶縁膜16、チャネル領域18及びソース／ドレイン領域22を含む薄膜トランジスタTと、薄膜トランジスタTに電流を供給するソース線26と、画素電極24を含む。この画素回路100を製造する場合に、まずガラス基板10上にゲート電極13、ゲート絶縁膜16及びチャネル領域18を形成する。チャネル領域18等を形成後のガラス基板10上に、ソース／ドレイン領域22、画素電極24、ソース線26の各々を形成すべき領域の外周を壁で囲むポリイミド膜20を形成する。ポリイミド膜20の壁によって囲まれた領域に液体材料を塗布し、熱処理を加えて成膜することにより、ソース／ドレイン領域22などの要素を形成する。

(a)



(b)



A-A'断面

【特許請求の範囲】

【請求項 1】少なくともデバイスの一部の要素を、液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、

前記複数の要素の領域のうち少なくとも液体材料を使用する要素の領域の外周を壁で囲む隔壁を形成する隔壁形成工程と、

前記壁によって囲まれた領域に前記液体材料を塗布し、熱処理を加えて成膜する成膜工程と、を含むデバイスの製造方法。

【請求項 2】前記デバイスは、前記基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域をこの順番に積層して形成される薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を含んでおり、

前記隔壁形成工程は、前記ゲート電極、前記ゲート絶縁膜及び前記チャネル領域が形成された後の前記基板上に、前記ソース／ドレイン領域を形成すべき第 1 の領域の外周を壁で囲むとともに、前記配線を形成すべき第 2

の領域を壁で囲む隔壁を形成し、前記成膜工程は、前記第 1 の領域内に前記ソース／ドレイン領域となるドーピングされた半導体膜を形成するとともに、前記第 2 の領域内に前記配線となる導電膜を形成する、請求項 1 に記載のデバイスの製造方法。

【請求項 3】少なくともデバイスの一部の要素を、液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、

前記複数の要素の領域のうち液体材料を使用すべき複数の要素の領域の各々の外周を壁で囲む隔壁を形成する隔壁形成工程と、

前記壁によって囲まれた複数の領域のうち第 1 のグループの要素のものに第 1 の液体材料を塗布し、熱処理を加えて成膜する第 1 の成膜工程と、

前記壁によって囲まれた複数の領域のうち第 2 のグループの要素のものに第 2 の液体材料を塗布し、熱処理を加えて成膜する第 2 の成膜工程と、を含むデバイスの製造方法。

【請求項 4】前記デバイスは、前記基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域をこの順番に積層して形成される薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を含んでおり、

前記隔壁形成工程は、前記ゲート電極、前記ゲート絶縁膜及び前記チャネル領域が形成された後の前記基板上に、前記ソース／ドレイン領域を形成すべき第 1 の領域の外周を壁で囲むとともに、前記配線を形成すべき第 2 の領域を壁で囲む隔壁を形成し、

前記第 1 の成膜工程は、前記第 1 の領域内に前記ソース

／ドレイン領域となるドーピングされた半導体膜を形成し、

前記第 2 の成膜工程は、前記第 2 の領域内に前記配線となる導電膜を形成する、請求項 3 に記載のデバイスの製造方法。

【請求項 5】前記ソース／ドレイン領域は、ケイ素化合物及びドーパント源を含有する液体材料を使用して成膜されるドーピングされたシリコン膜である、請求項 2 又は 4 に記載のデバイスの製造方法。

10 【請求項 6】前記配線は、導電性微粒子を含有する液体材料を使用して成膜される導電膜である、請求項 2 又は 4 に記載のデバイスの製造方法。

【請求項 7】前記配線は、前記ソース／ドレイン領域に接続される信号線である、請求項 6 に記載のデバイスの製造方法。

【請求項 8】前記導電性微粒子は、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子である、請求項 6 に記載のデバイスの製造方法。

【請求項 9】前記デバイスは、所定の機能を有し、前記薄膜トランジスタと接続される機能領域を更に含んでおり、

前記隔壁形成工程は、前記第 1 及び第 2 の領域に加えて、前記機能領域を形成すべき第 3 の領域を壁で囲む隔壁を形成し、

前記成膜工程は、前記ドーピングされた半導体膜及び前記導電膜に加えて、前記機能領域となる薄膜を形成する、請求項 2 に記載のデバイスの製造方法。

【請求項 1 0】前記デバイスは、所定の機能を有し、前記薄膜トランジスタと接続される機能領域を更に含んでおり、

前記隔壁形成工程は、前記第 1 及び第 2 の領域に加えて、前記機能領域を形成すべき第 3 の領域を壁で囲む隔壁を形成し、

前記第 3 の領域内に第 3 の液体材料を塗布して熱処理を行い、前記機能領域となる薄膜を形成する第 3 の成膜工程を更に含む、請求項 4 に記載のデバイスの製造方法。

【請求項 1 1】前記機能領域は、電気光学装置の画素部を構成する画素電極である、請求項 9 又は 1 0 に記載のデバイスの製造方法。

40 【請求項 1 2】前記隔壁形成工程は、前記基板上に絶縁膜を形成し、この絶縁膜に前記液体材料を使用する要素の領域を露出する開口部を形成することにより、前記隔壁を形成する、請求項 1 乃至 1 1 のいずれかに記載のデバイスの製造方法。

【請求項 1 3】前記絶縁膜は、ポリイミド膜である、請求項 1 2 に記載のデバイスの製造方法。

【請求項 1 4】前記液体材料は、液滴吐出法を用いて充填される、請求項 1 乃至 1 3 のいずれかに記載のデバイスの製造方法。

50 【請求項 1 5】前記チャネル領域は、液滴吐出法を用い

て、ケイ素化合物を含有する第 4 の液体材料を前記ゲート絶縁膜上に吐出して形成される、請求項 5 乃至 1 4 のいずれかに記載のデバイスの製造方法。

【請求項 1 6】前記第 2 の成膜工程における熱処理と、前記第 3 の成膜工程における熱処理とを同時に行う、請求項 1 0 に記載のデバイスの製造方法。

【請求項 1 7】前記隔壁形成工程は、さらに前記隔壁の表面を前記液体材料に対して撥液性を付与する工程を含む、請求項 1 乃至 1 6 に記載のデバイスの製造方法。

【請求項 1 8】前記第 2 の成膜工程において、前記ソース／ドレイン領域と前記配線の間に前記第 2 の液体材料または前記第 3 の液体材料を吐出することにより、前記ソース／ドレイン領域と前記配線を電気的に接続する接続部を形成する、請求項 1 0 に記載のデバイスの製造方法。

【請求項 1 9】前記第 3 の成膜工程において、前記ソース／ドレイン領域と前記機能領域の間に前記第 2 の液体材料または前記第 3 の液体材料を吐出することにより、前記ソース／ドレイン領域と前記機能領域を電気的に接続する接続部を形成する、請求項 1 0 に記載のデバイスの製造方法。

【請求項 2 0】請求項 1 乃至 1 9 のいずれかに記載の製造方法によって製造されるデバイス。

【請求項 2 1】基板上に形成される複数の要素を含んで構成されるデバイスであって、前記複数の要素のうち、少なくとも一部の要素の外周を壁で囲むように隔壁が設けられている、デバイス。

【請求項 2 2】前記デバイスは、前記基板上に、ゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域をこの順番に積層して形成される薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を含んでおり、前記隔壁は、少なくとも前記ソース／ドレイン領域及び前記配線の外周を壁で囲むように設けられている、請求項 2 1 に記載のデバイス

【請求項 2 3】前記デバイスは、前記薄膜トランジスタと接続されて所定の機能を実現する機能領域を更に備えており、前記隔壁は、前記ソース／ドレイン領域、前記配線及び前記機能領域のそれぞれの外周を囲むようにして設けられている、請求項 2 2 に記載のデバイス。

【請求項 2 4】前記機能領域は、電気光学装置の画素部を構成する画素電極である、請求項 2 3 に記載のデバイス。

【請求項 2 5】前記ソース／ドレイン領域は、ケイ素化合物及びドーパント源を含有する液体材料を用いて形成されたシリコン膜である、請求項 2 2 乃至 2 4 のいずれかに記載のデバイス。

【請求項 2 6】前記配線は、導電性微粒子を含有する液体材料を用いて形成された導電膜である、請求項 2 2 乃至

至 2 4 のいずれかに記載のデバイス。

【請求項 2 7】前記導電性微粒子は、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子である、請求項 2 6 に記載のデバイス。

【請求項 2 8】前記隔壁は、ポリイミド膜を含む、請求項 2 1 乃至 2 7 のいずれかに記載のデバイス。

【請求項 2 9】請求項 2 0 乃至 2 8 のいずれかに記載のデバイスを含んで構成される電気光学装置。

【請求項 3 0】前記電気光学装置は液晶表示装置である、請求項 2 9 に記載の電気光学装置。

【請求項 3 1】請求項 2 9 又は 3 0 に記載の電気光学装置を備える電子機器。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、薄膜トランジスタ等の薄膜素子を含んで構成されるデバイス（半導体装置等）の製造方法及びこの製造方法により製造されるデバイスに関する。

【0 0 0 2】

【従来の技術】液晶表示装置は、薄く軽量であり、消費電力が少ないという特徴を有することから、パーソナルコンピュータ、携帯電話、デジタルスチルカメラ、液晶テレビなどの様々な電子機器に用いられている。

【0 0 0 3】液晶表示装置では、薄膜トランジスタを用いて画素部が形成される。画素部を形成する薄膜トランジスタとしては、基板上にゲート電極を形成し、この上にチャネル領域やソース／ドレイン領域などの半導体層や絶縁層などを積層した逆スタガ型（あるいはボトムゲート型）の構造のものが多く用いられている。

【0 0 0 4】このような薄膜トランジスタと、ゲート電極に信号を供給するための走査線、一方のソース／ドレイン領域に信号を供給するためのデータ線、他方のソース／ドレイン領域と接続され、液晶層に電圧を印加するための画素電極などを組み合わせて、液晶表示装置の画素回路が構成される。

【0 0 0 5】

【発明が解決しようとする課題】上述した液晶表示装置などのデバイスを製造する際には、CVD法やスパッタリング法などの気相堆積法（すなわち、真空プロセス）により薄膜を形成し、形成した薄膜のうちで不要な部分をフォトリソグラフィ法により除去（エッチング）するといったプロセスを何度か繰り返すことにより形成されるのが一般的である。

【0 0 0 6】しかしながら、このような従来の製造方法は、（１）成膜とエッチングを何度も行うために製造時間が長くなる、（２）形成した薄膜のうち、多くの部分を除去することとなるために、原料の使用効率が悪い、（３）エッチング溶液などの廃棄物が多く発生し、処理コストがかさむ、などの不都合がある。これらの不都合により、従来の製造方法では、製造コストを低減するこ

10

20

30

40

50

とが難しかった。

【0007】このような不都合は、液晶表示装置の大画面化に伴い、母材となるガラス基板が大型化するほど顕著となる。また、このような不都合は、液晶表示装置の製造方法に限られるものではなく、薄膜トランジスタ等の薄膜素子を含んで構成される各種のデバイスに共通するものでもある。

【0008】本発明は、このような点に着目して創作されたものであり、製造コストを低減することを可能とするデバイスの製造方法を提供することを目的とする。

【0009】また、本発明は、低コスト化を図ることを可能とするデバイスを提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明は、少なくともデバイスの一部の要素を、液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、複数の要素の領域のうち少なくとも液体材料を使用する要素の領域の外周を壁で囲む隔壁を形成する隔壁形成工程と、隔壁による壁によって囲まれた領域に液体材料を塗布し、熱処理を加えて成膜する成膜工程と、を含んでいる。

【0011】デバイスの一部の要素の領域の外周を壁で囲む隔壁を形成し、この隔壁による壁によって囲まれた領域に液体材料を塗布して薄膜を成膜することにより、デバイスを構成する要素を形成しているので、CVD法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせた従来プロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。また、隔壁による壁を設けていることから、液体材料を塗布する範囲を必要最小限の範囲に抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を削減することが可能となる。したがって、製造コストの低減が可能となる。このような本発明の利点は、製造対象となるデバイスが大きくなるほど顕著となる。

【0012】上述したデバイスとしては、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域をこの順番に積層して形成される薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を含んだものが考えられる。この場合に、上述した隔壁形成工程では、ゲート電極、ゲート絶縁膜及びチャネル領域が形成された後の基板上に、ソース／ドレイン領域を形成すべき第1の領域の外周を壁で囲むとともに、配線を形成すべき第2の領域を壁で囲む隔壁を形成し、成膜工程では、第1の領域内にソース／ドレイン領域となるドーピングされた半導体膜を形成するとともに、第2の領域内に配線となる導電膜を形成することが望ましい。これにより、薄膜トランジスタと配線を含んで構成されるデバイスを製造する際の製造コストを低減

することが可能となる。

【0013】また、本発明は、少なくともデバイスの一部の要素を、液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、複数の要素の領域のうち液体材料を使用すべき複数の要素の領域の各々の外周を壁で囲む隔壁を形成する隔壁形成工程と、この隔壁による壁によって囲まれた複数の領域のうち第1のグループの要素のものに第1の液体材料を塗布し、熱処理を加えて成膜する第1の成膜工程と、壁によって囲まれた複数の領域のうち第2のグループの要素のものに第2の液体材料を塗布し、熱処理を加えて成膜する第2の成膜工程と、を含んでいる。

【0014】デバイスの一部の要素の領域の外周を壁で囲む隔壁を形成し、この隔壁による壁によって囲まれた複数の領域のそれぞれに、複数の液体材料を塗り分けて複数種類の薄膜を成膜することにより、デバイスを構成する要素を形成しているので、CVD法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせた従来プロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。特に、従来プロセスでは、複数種類の薄膜を成膜して所望の形状に形成するためには、複数回のプロセスを繰り返す必要があったが、本発明では、そのようなプロセスを行うことなく複数種類の薄膜の成膜が可能であり、製造プロセスの大幅な簡略化が可能となる。また、隔壁による壁を設けていることから、液体材料を塗布する範囲を必要最小限の範囲に抑えることができるので、原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を削減することが可能となる。したがって、製造コストの低減が可能となる。このような本発明の利点は、製造対象となるデバイスが大きくなるほど顕著となる。

【0015】上述したデバイスとしては、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域をこの順番に積層して形成される薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を含んだものが考えられる。この場合に、上述した隔壁形成工程は、ゲート電極、ゲート絶縁膜及びチャネル領域が形成された後の基板上に、ソース／ドレイン領域を形成すべき第1の領域の外周を壁で囲むとともに、配線を形成すべき第2の領域を壁で囲む隔壁を形成し、第1の成膜工程は、第1の領域内にソース／ドレイン領域となるドーピングされた半導体膜を形成し、第2の成膜工程は、第2の領域内に配線となる導電膜を形成することが望ましい。これにより、薄膜トランジスタと配線を含んで構成されるデバイスを製造する際の製造コストを低減することが可能となる。

【0016】上述したソース／ドレイン領域は、ケイ素化合物及びドーパント源を含有する液体材料を使用して

10

20

30

40

50

成膜されるドーピングされたシリコン膜であることが望ましい。ケイ素化合物の具体例としては、シクロペンタシラン (Si_5H_8) など、1 個以上の環状構造を持ったものに、紫外線を照射することによって光重合させて高次シランとしたものが挙げられる。また、ドーパント源の具体例としては、リンなどの 5 族元素あるいはホウ素などの 3 族元素を含有する物質が挙げられる。このようなケイ素化合物及びドーパント源を含有する液体材料を使用することにより、ドーパントが高濃度にドーピングされたシリコン膜を容易に形成することが可能となる。

【0017】上述した配線は、導電性微粒子を含有する液体材料を使用して成膜される導電膜であることが望ましい。ここで、導電性微粒子としては、金、銀、銅、パラジウム、ニッケルなどのいずれかを含有する金属微粒子や、導電性ポリマーや超電導体の微粒子などが挙げられるが、特に金属微粒子が望ましい。このような導電性微粒子を含有する液体材料を使用することにより、良好な導電膜を容易に形成することが可能となる。この導電膜からなる配線は、薄膜トランジスタのソース／ドレイン領域に接続される信号線に用いることが好適である。

【0018】上述したデバイスが、所定の機能を有し、薄膜トランジスタと接続される機能領域を更に含んでいる場合には、上述した隔壁形成工程は、第 1 及び第 2 の領域に加えて、機能領域を形成すべき第 3 の領域を壁で囲む隔壁を形成し、成膜工程は、ドーピングされた半導体膜及び導電膜に加えて、機能領域となる薄膜を形成することが望ましい。具体的には、機能領域としては、電気光学装置の画素部を構成する画素電極などが挙げられる。

【0019】また、デバイスが、所定の機能を有し、薄膜トランジスタと接続される機能領域を更に含んでいる場合には、上述した隔壁形成工程において、第 1 及び第 2 の領域に加えて、機能領域を形成すべき第 3 の領域を壁で囲む隔壁を形成するようにし、かつ、第 3 の領域内に第 3 の液体材料を塗布して熱処理を行い、機能領域となる薄膜を形成する第 3 の成膜工程を更に含むことが望ましい。具体的には、機能領域としては、電気光学装置の画素部を構成する画素電極などが挙げられる。

【0020】画素電極などの機能領域を形成する薄膜についても、隔壁を形成し、液体材料を塗布することによって形成することにより、製造プロセスのさらなる簡略化による製造時間の短縮、原料の使用効率の向上、廃棄物の削減を図ることが可能となり、製造コストをより一層低減することが可能となる。

【0021】上述した隔壁形成工程は、基板上に絶縁膜を形成し、この絶縁膜に液体材料を使用する要素の領域を露出する開口部を形成することにより、隔壁を形成することが望ましい。これにより、液体材料を使用する複数の要素の領域の外周を壁で囲む隔壁を同一プロセスに

よって同時に形成することができる。

【0022】上述した隔壁を形成する絶縁膜は、ポリイミド膜であることが望ましい。これにより、隔壁を容易に形成することが可能となる。特に、感光性のポリイミド溶剤を使用した場合には、基板上に感光性のポリイミド溶剤を塗布して乾燥させた後に開口部に対応する領域を露光、現像して除去し（ポリイミド溶剤がポジ型の場合）、その後焼成することによって隔壁を形成することが可能である。

【0023】上述した液体材料（第 1 乃至第 3 の液体材料を含む）は、液滴吐出法を用いて充填されることが望ましい。これにより、滴下位置及び滴下量を適切に制御し、かつ高速に液体材料の充填を行うことが可能となる。

【0024】また、チャネル領域は、液滴吐出法を用いて、ケイ素化合物を含有する第 4 の液体材料をゲート絶縁膜上に吐出して形成してもよい。これにより、製造プロセスをさらに簡略化することが可能となる。

【0025】また、上述した第 2 の成膜工程における熱処理と、第 3 の成膜工程における熱処理は、同時に行うことが望ましい。これにより、製造プロセスをさらに簡略化することが可能となる。

【0026】なお、第 2 の成膜工程と第 3 の成膜工程は、別の場所への成膜工程であるので、それぞれの焼成時の処理温度や、その他のプロセス上条件を考慮した上で可能ならば順序を入れ替えて、先に第 3 の成膜工程を行なった後、第 2 の成膜工程を行なってもかまわない。

【0027】また、隔壁形成工程は、さらに隔壁の表面を液体材料に対して撥液性を付与する工程を含むことが望ましい。

【0028】また、第 2 の成膜工程においては、ソース／ドレイン領域と配線の間に第 2 の液体材料または第 3 の液体材料を吐出することにより、ソース／ドレイン領域と配線を電氣的に接続する接続部を形成することが望ましい。配線の形成時に、接続部についても併せて形成することにより、製造プロセスのさらなる簡略化が可能となる。

【0029】また、第 3 の成膜工程においては、ソース／ドレイン領域と機能領域の間に第 2 の液体材料または第 3 の液体材料を吐出することにより、ソース／ドレイン領域と機能領域を電氣的に接続する接続部を形成することが望ましい。機能領域の形成時に、接続部についても併せて形成することにより、製造プロセスのさらなる簡略化が可能となる。

【0030】本発明は、上述したいずれかの製造方法によって製造されるデバイスでもある。これにより、デバイスの低コスト化を図ることが可能となる。

【0031】より具体的には、本発明のデバイスは、以下に述べるような構成を有するものである。すなわち、本発明は、基板上に形成される複数の要素を含んで構成

10

20

30

40

50

されるデバイスであって、複数の要素のうち、少なくとも一部の要素の外周を壁で囲むように隔壁が設けられている。

【0032】また、デバイスが、基板上に、ゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域をこの順番に積層して形成される薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を含んでいる場合に、上述した隔壁は、少なくともソース／ドレイン領域及び配線の外周を壁で囲むように設けられていることが望ましい。また、隔壁は、ポリイミド膜であることが望ましい。

【0033】また、デバイスが、薄膜トランジスタと接続されて所定の機能を実現する機能領域を更に備えている場合に、上述した隔壁は、ソース／ドレイン領域、配線及び機能領域のそれぞれの外周を囲むようにして設けられていることが望ましい。また、機能領域は、電気光学装置の画素部を構成する画素電極であることが望ましい。

【0034】上述したソース／ドレイン領域は、ケイ素化合物及びドーパント源を含有する液体材料を用いて形成されたシリコン膜であることが望ましい。

【0035】上述した配線は、導電性微粒子を含有する液体材料を用いて形成された導電膜であることが望ましい。また、導電性微粒子は、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子であることが望ましい。

【0036】また、本発明は、上述したデバイスを含んで電気光学装置（液晶表示装置、有機エレクトロルミネッセンス表示装置など）でもある。特に、電気光学装置は、液晶表示装置であることが望ましい。

【0037】また、本発明は、上述した電気光学装置を備える電子機器でもある。電子機器を一例としては、パーソナルコンピュータや液晶テレビなどが挙げられる。

【0038】

【発明の実施の形態】以下、本発明を適用した一実施形態の液晶表示装置とその製造方法について、図面を参照しながら説明する。

【0039】本発明において、液滴吐出法とは、液滴を所望の領域に吐出することにより、被吐出物を含む所望パターンを形成する方法であり、インクジェット法と呼ぶこともある。但し、この場合、吐出する液滴は、印刷物に用いられる所謂インクではなく、デバイスを構成する材料物質を含む液状体であり、この材料物質は、例えばデバイスを構成する導電物質又は絶縁物質として機能し得る物質を含むものである。さらに、液滴吐出とは、吐出時に噴霧されるものに限らず、液状体の1滴1滴が連続するように吐出される場合も含む。

【0040】図1は、本実施形態の液晶表示装置の構成を概略的に示す図である。本実施形態の液晶表示装置は、素子基板（アレイ基板）と対向基板とが互いに一定

の間隙を保って貼付され、この間隙に液晶材料が挟まれた構成となっている。素子基板および対向基板としては、ガラス、石英またはプラスチック等によって構成される絶縁性の板状部材の基板を用いることが可能であり、本実施形態では、ガラス基板を用いている。

【0041】図1に示すように、ガラス基板10上には、複数本の走査線12がX（行）方向に延在して形成されており、これらの走査線12は、走査線駆動回路130に接続されている。また、ガラス基板10上には、複数本のデータ線26がY（列）方向に延在して形成されており、これらのデータ線26は、データ線駆動回路140に接続されている。そして、画素部100は、走査線12とデータ線26との各交差に対応して設けられて、マトリクス状に配列している。なお、走査線駆動回路130やデータ線駆動回路140は、ガラス基板10上に形成されていてもよい。

【0042】図2は、画素部100の具体的な構成例を示す図である。同図に示す画素部100は、薄膜トランジスタTのゲートが走査線12に、ソースがデータ線26に、ドレインが画素電極24にそれぞれ接続されるとともに、画素電極24と対向電極50との間に電気光学材料たる液晶LCが挟まれた構成を有している。また、画素電極24と接地電位GNDとの間には、蓄積容量60が形成されている。この蓄積容量60は、薄膜トランジスタTを介して画素電極24に電圧が印加された後、この印加電圧を必要な時間だけほぼ一定に維持するために設けられた容量である。対向電極50は、画素電極24と対向するように対向基板に一面に形成される、各画素に共通な透明電極である。

【0043】次に、図2に示した画素部100の具体的な構造について説明する。図3は、本実施形態の液晶表示装置の画素部の具体的な構造を示す図である。図3

（a）は、1つの画素部100に着目して示した平面図であり、図3（b）は、図3（a）に示すA-A'断面図である。

【0044】図3に示すように、本実施形態の薄膜トランジスタTは、いわゆる逆スタガ型の構造を有しており、ガラス基板10上に成形されたゲート電極13と、このゲート電極13上に形成されたゲート絶縁膜16と、ゲート絶縁膜16上に形成されたチャネル領域18と、このチャネル領域18上に形成されたソース／ドレイン領域22を備えている。

【0045】また、上述した薄膜トランジスタTと、走査線（ゲート線）12、容量線14、画素電極24、データ線（ソース線）26のそれぞれを含んで、液晶表示装置の画素を駆動する画素回路100が構成されている。また、本実施形態では、薄膜トランジスタTのゲート電極13は、ゲート線12と一体に形成されている。ゲート線12及びゲート電極13の形成方法については後述する。

【0046】一方のソース／ドレイン領域22は、接続部28を介して画素電極24と接続されている。画素電極24は、液晶LCに電圧を印加するためのものである。また、他方のソース／ドレイン領域22は、接続部28を介してデータ線26と接続されている。容量線14は、液晶層の充電電荷をより安定に保持するための蓄積容量を形成するためのものであり、画素電極24の下層に形成されている。

【0047】また、ソース／ドレイン領域22、画素電極24、データ線26のそれぞれの周囲を取り囲むようにして、ポリイミド膜20による壁（バンク）が形成されている。このポリイミド膜20は、ソース／ドレイン領域22、画素電極24、データ線26のそれぞれを形成する際に用いるものであり、その詳細については後述する。

【0048】このような画素部100をガラス基板10上にマトリクス状に形成することによりアレイ基板が構成される。そして、このアレイ基板と、カラーフィルタ（CF）が設けられた対向基板のそれぞれに対して配向膜形成などの表面処理を行った後に両者を貼り合わせ、アレイ基板と対向基板の間に液晶材を注入し、駆動回路やバックライトなどを取り付けることにより液晶表示装置が完成する。液晶表示装置の具体例については後述する。

【0049】次に、本実施形態の薄膜トランジスタ及びこの薄膜トランジスタを含んで構成される画素回路の製造方法について詳細に説明する。図4～図9は、本実施形態の製造方法について説明する説明図である。

【0050】（ゲート線、ゲート電極及び容量線の形成工程）図4は、ゲート線、ゲート電極及び容量線の形成工程を説明する図である。図4（a）はガラス基板10を上側から見た平面図を示し、図4（b）は図4（a）に示すB-B'断面を示している。

【0051】図4に示すように、ガラス基板10上の所定位置に、液滴吐出法によって、ゲート線12及びゲート電極13を一体に形成するとともに、容量線14を形成する。具体的には、ガラス基板10の上面に、ある程度の一様な撥液性を持たせる。次に、ガラス基板10の上面に対して、導電性微粒子を含有する溶液を吐出し、ゲート線12、ゲート電極13及び容量線14のそれぞれを描画する。その後、溶液が塗布されたガラス基板10に熱処理を行うことにより、ゲート線12、ゲート電極13及び容量線14が形成される。

【0052】ここで、導電性微粒子としては、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子や、導電性ポリマーや超電導体の微粒子などが考えられる。本実施形態では、これらの導電性微粒子を有機溶媒に分散させて生成した溶液を用いる。微粒子を分散させるために、微粒子表面に有機物などをコーティングして使うこともできる。また、ガラス基板10に塗布す

るにあたり、溶媒への分散のしやすさと液滴吐出法の適用の観点から、微粒子の粒径は0.1 μ m以下であることが好ましい。

【0053】例えば、粒径が0.01 μ m程度の銀の微粒子を含有するペースト（分散溶媒として α -テルピネオールを使用）をトルエンで希釈し、粘度が8cP程度となるようにして溶液を用いることにより、幅20 μ m、厚さ0.5 μ m、抵抗率2 $\mu\Omega$ cmのゲート線12及びゲート電極13を形成することが可能である。

【0054】なお、ゲート線12等の形成領域の周囲を囲む壁（バンク）を形成した後に溶液の吐出を行うか、あるいは、ガラス基板10の上面に対する撥液処理に加えて、ゲート線12等の形成領域に対して親液処理を行った後に溶液の吐出を行うようにしてもよい。これらの方法により、ゲート線12等の形成領域へ塗布された溶液の広がりを抑制し、ゲート線12等の形状をより精度よく形成することが可能になる。

【0055】また、ゲート線12等は、一般的なスパッタリング法、プラズマ化学気相堆積法（PECVD法）や低圧化学気相堆積法（LPCVD法）等の気相堆積法によってガラス基板10の上面全体に製膜した後に、パターニングを行うことによって形成してもよい。

【0056】（ゲート絶縁膜及び非晶質シリコン膜の形成工程）図5は、ゲート絶縁膜及び非晶質（アモルファス）シリコン膜の形成工程を説明する図である。図5（a）はガラス基板10を上側から見た平面図を示し、図5（b）は図5（a）に示すC-C'断面を示している。

【0057】図5に示すように、ガラス基板10、ゲート線12、ゲート電極13及び容量線14のそれぞれを覆うように、ガラス基板10の上面全体にゲート絶縁膜16を形成する。このゲート絶縁膜16としては、PECVD法によって窒化シリコン（SiNx）膜を形成することが好適である。また、窒化シリコンと酸化シリコン（SiO₂）を重ねて堆積した2層構造の膜によってゲート絶縁膜16を形成してもよい。この場合には、CVD法において、成膜途中で反応ガスを変更することにより複数種類の薄膜を連続的に製膜する、いわゆる連続CVD法を用いて膜形成を行うことが好適である。

【0058】次に、ゲート絶縁膜16上の所定位置に、非晶質シリコン膜からなるチャネル領域18を形成する。具体的には、チャネル領域18は、PECVD法などの気相堆積法によってガラス基板10の上面全体に非晶質シリコン膜を形成した後に、所望の形状にパターニングすることによって、図5（a）に示すように、ゲート電極13上に島状に形成される。また、ガラス基板10への非晶質シリコン膜の形成は、連続CVD法を用いることにより、上述したゲート絶縁膜16の形成と連続して行うことが更に望ましい。

【0059】（ポリイミド膜によるバンクの形成工程）

図 6 は、ポリイミド膜によるバンク（壁）の形成工程を説明する図である。図 6（a）はガラス基板 10 を上面側から見た平面図を示し、図 6（b）は図 6（a）に示す D-D' 断面を示している。

【0060】図 6 に示すように、ガラス基板 10 等の上面に、所定形状の開口部 a1、a2、a3、a4 を有するポリイミド膜 20 を形成する。具体的には、ポリイミド膜 20 に設けられている開口部 a1 は、後の工程において画素電極 24 が形成されるべき領域を露出するように形成される。これにより、画素電極 24 の形成領域の外周にポリイミド膜 20 によるバンクが形成される。

【0061】開口部 a2 は、後の工程においてデータ線 26 が形成されるべき領域を露出するように形成される。これにより、データ線 26 の形成領域の周囲に、ポリイミド膜 20 によるバンクが形成される。同様に、開口部 a3、a4 は、後の工程において、薄膜トランジスタ T のソース／ドレイン領域 22 が形成されるべき領域を露出するように形成される。これにより、ソース／ドレイン領域 22 の形成領域の周囲に、ポリイミド膜 20 によるバンクが形成される。

【0062】このようなポリイミド膜 20 は、例えば、ガラス基板 10 の上面全体に感光性のポリイミド溶剤を塗布して乾燥させた後に開口部 a1～a4 のそれぞれに対応する領域を露光、現像して除去し（ポリイミド溶剤がポジ型の場合）、その後 300℃～400℃程度の温度で焼成することによって形成することができる。また、ポリイミド膜 20 は、0.5～10μm 程度の厚さに形成することが好適である。

【0063】（ソース／ドレイン領域の形成工程）図 7 は、ソース／ドレイン領域の形成工程を説明する図である。図 7（a）はガラス基板 10 を上面側から見た平面図を示し、図 7（b）は図 7（a）に示す E-E' 断面図を示している。

【0064】図 7 に示すように、ポリイミド膜 20 に設けられた開口部 a3、a4（図 6 参照）の内側に、ドーパントが高濃度にドーピングされた非晶質シリコン膜からなるソース／ドレイン領域 22 を形成する。本実施形態では、ソース／ドレイン領域 22 は、液滴吐出法を用いて形成される。

【0065】具体的には、まず、リンなどの 5 族元素あるいはホウ素などの 3 族元素を含有する物質をドーパント源として添加したケイ素化合物を含有する溶液、または、それらの元素（リン、ホウ素等）で変性されたケイ素化合物と変性されていないケイ素化合物とを含有する溶液を液滴吐出ヘッドから吐出し、開口部 a3、a4 の内部に充填する。以下、このようなケイ素化合物を含有する溶液を「シリコン溶液」と称することとする。

【0066】次に、開口部 a3、a4 のそれぞれに充填したシリコン溶液を乾燥させて、その後、300℃～400℃程度の温度で焼成する。これら一連の処理は、窒

素などの不活性ガスの雰囲気中で行われる。これにより、ポリイミド膜 20 によって形成されるバンクに周囲を囲まれた開口部 a3、a4 の内部に、ドーパント（ドナー又はアクセプタ）が高濃度にドーピングされた非晶質シリコン膜からなるソース／ドレイン領域 22 が形成される。

【0067】ここで、上述したケイ素化合物としては、シクロペンタシラン（Si₅H₁₀）など、1 個以上の環状構造を持ったものに、紫外線を照射することによって光重合させて高次シランとしたものを用いることが特に好ましい。この場合には、リン化合物やホウ素化合物を混合した後に紫外線を照射し、重合時にこれらを取り込んだ形で高次シラン化合物とすることが更に好ましい。また、シリコン溶液を形成するための溶媒としては、ケイ素化合物を溶解し、該化合物と反応しないものであれば特に限定されないが、通常、室温での蒸気圧が 0.001～200mmHg のものが好適である。溶媒の具体例としては、ベンゼンやトルエンなどの炭素系溶媒が挙げられる。

【0068】なお、更に好ましくは、液滴吐出ヘッドからシリコン溶液を吐出をするより以前に、開口部 a3、a4 の内側を親液化し、その周囲については撥液化しておくことよい。親液化、撥液化の処理は、例えば、ガラス基板 10 の全体を大気圧プラズマで酸素プラズマ処理して親液化し、次いで、CF₄ プラズマ処理を行い、ポリイミド膜 20 の部分のみを撥液化することにより実現可能である。

【0069】（画素電極の形成工程）図 8 は、画素電極の形成工程を説明する図である。図 8（a）はガラス基板 10 を上面側から見た平面図を示し、図 8（b）は図 8（a）に示す F-F' 断面図を示している。

【0070】図 8 に示すように、ポリイミド膜 20 に設けられた開口部 a1（図 6 参照）の内側に、ITO（Indium Tin Oxide）膜からなる画素電極 24 を形成する。本実施形態では、画素電極 24 についても液滴吐出法を用いて形成される。具体的には、塗布型の ITO 溶液を液滴吐出ヘッドから吐出して開口部 a1 の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜 20 によるバンクに周囲を囲まれた開口部 a1 の内部に画素電極 24 が形成される。

【0071】例えば、一般的な ITO 塗布液を開口部 a1 に充填した後に、160℃の空気雰囲気中で 5 分間乾燥させ、その後に、400℃の空気雰囲気中で 60 分間の熱処理を行うことにより、厚さ 1500Å 程度の画素電極 24 を形成することが可能である。

【0072】（データ線の形成工程）図 9 は、データ線の形成工程を説明する図である。図 9（a）はガラス基板 10 を上面側から見た平面図を示し、図 9（b）は図 9（a）に示す G-G' 断面図を示している。

【0073】図 9 に示すように、ポリイミド壁 20 に設

けられた開口部 a 2 (図 6 参照) の内側にデータ線 2 6 を形成する。本実施形態では、データ線 2 6 についても液滴吐出法を用いて形成される。具体的には、上述したゲート線 1 2 の場合と同様の金属超微粒子を有機溶剤に分散させた溶液を液滴吐出ヘッドから吐出して開口部 a 2 の内部に充填し、その後、乾燥及び熱処理を行う。これにより、ポリイミド膜 2 0 によるバンクに周囲を囲まれた開口部 a 2 の内部に、データ線 2 6 が形成される。

【0074】その後、ソース／ドレイン領域 2 2 と画素電極 2 4 の間、及びソース／ドレイン領域 2 2 とデータ線 2 6 の間の電氣的接続を図るための接続部 2 8 を形成する。この接続部 2 8 についても、データ線 2 6 と同様にして形成することが可能である。これにより、上述した図 3 に示した本実施形態の薄膜トランジスタ T と、これを含んで構成される画素部 1 0 0 が完成する。また、必要に応じて、画素部 1 0 0 の上面に酸化シリコン膜などによる保護膜を形成してもよい。

【0075】なお、画素電極の形成工程とデータ線の形成工程を部分的に併合することも可能である。この場合には、塗布型の ITO 溶液を開口部 a 1 の内側に充填した後、乾燥処理および熱処理を行うより先に、金属超微粒子を有機溶剤に分散させて生成した溶液を開口部 a 2 の内部に充填し、その後、ITO 溶液及び金属溶液のそれぞれに対する乾燥処理及び熱処理を同時に行うようにすればよい。

【0076】このように、本実施形態の製造方法は、画素部を構成する一部の要素 (ソース／ドレイン領域 2 2、画素電極 2 4、データ線 2 6) の領域の外周を壁で囲むポリイミド膜 2 0 を形成し、このポリイミド膜 2 0 による壁によって囲まれた領域に液体材料を塗布して薄膜を成膜することにより、画素部を構成する一部の要素を形成している。これにより、CVD 法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせた従来プロセスを用いる回数を少なくして製造時間の短縮化を図ることが可能となる。また、ポリイミド膜 2 0 による壁 (バンク) を設けていることから、液体材料を塗布する範囲を必要最小限の範囲に抑えることができるので原料の使用効率を高めることが可能となり、エッチングの回数も少なくなることから廃棄物の量を削減することが可能となる。したがって、製造コストを低減することが可能となる

【0077】ところで、上述した実施形態では、薄膜トランジスタ T のチャネル領域 1 8 となるべき非晶質シリコン膜は、PECVD 法などの気相堆積法によって形成していたが、液滴吐出法によって形成することも可能である。図 1 0 は、液滴吐出法によって非晶質シリコン膜を形成する場合の形成工程を説明する図である。図 1 0 (a) はガラス基板 1 0 を上面側から見た平面図を示し、図 1 0 (b) は図 1 0 (a) に示す H-H' 断面を示している。

【0078】まず、上述した実施形態と同様にして、ゲート線 1 2、ゲート電極 1 3 及び容量線 1 4 のそれぞれを覆うように、ガラス基板 1 0 の上面全体にゲート絶縁膜 1 6 を形成する (図 5 参照)。次に、ゲート絶縁膜 1 6 が形成された後のガラス基板 1 0 を窒素雰囲気中に導入する。

【0079】次に、液滴吐出ヘッドを用いて、チャネル領域を形成すべき範囲にシリコン溶液 (ケイ素化合物を含有する溶液) を吐出する。この場合のシリコン溶液としては、上述したソース／ドレイン領域の形成に用いられるものと同様のケイ素化合物を含有する溶液であって、リンなどの 5 族元素あるいはホウ素などの 3 族元素を含有するドーパント源が添加されていないものが好適である。

【0080】その後、吐出されたシリコン溶液を乾燥させ、300℃～400℃程度の温度で焼成することにより、図 1 0 に示すように、ゲート電極 1 3 上の所定位置に、非晶質シリコンからなる島状のチャネル領域 1 8 a が形成される。チャネル領域 1 8 a は、寸法精度の要求が比較的到低く、液滴吐出法により吐出されたシリコン溶液が多少広がっても問題とならない。なお、液体の広がり許容範囲を超える場合には、基板表面全体を撥液化したり、チャネル領域 1 8 a を形成すべき範囲のみ親液化してそれ以外を撥液化する処理を行うことにより、シリコン溶液の広がりを抑制することが可能である。

【0081】次に、上述した実施形態に係る液晶表示装置を備えた電子機器について説明する。図 1 1 は、本実施形態に係る液晶表示装置をモバイル型のパーソナルコンピュータ (情報処理装置) に適用した例を示す斜視図である。同図において、パーソナルコンピュータ 1 1 0 0 は、キーボード 1 1 0 2 を備えた本体部 1 1 0 4 と、本実施形態に係る液晶表示装置 1 1 0 6 を含んで構成されている。本実施形態に係る製造方法は、図 1 1 に示すような画面サイズの大きな液晶表示装置を製造する場合に特に好適である。

【0082】なお、本実施形態の液晶表示装置を含んで構成される電子機器としては、図 1 1 のパーソナルコンピュータの他にも、デジタルスチルカメラ、電子ブック、電子ペーパー、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器など種々のものが挙げられる。

【0083】また、本発明の適用範囲は、上記内容に限定されるものではなく、薄膜トランジスタ等の薄膜素子を含んで構成される種々のデバイス、このデバイスを含んで構成される電気光学装置 (例えば、有機 EL 表示装置など)、この電気光学装置を備えた電子機器に対して適用することが可能である。

【0084】

【発明の効果】以上説明したように、本発明によれば、気相堆積法とフォトリソグラフィ法を組み合わせた従来プロセスを行う回数を少なくして製造時間を短縮することが可能となる。また、隔壁を設けることにより、液体材料を塗布する範囲を必要最小限の範囲に抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を削減することが可能となる。したがって、製造コストの低減を図ることが可能となり、デバイスの低コスト化を図ることが可能となる。

【図面の簡単な説明】

【図 1】一実施形態の液晶表示装置の構成を概略的に示す図である。

【図 2】画素部の具体的な構成例を示す図である。

【図 3】画素部の具体的な構造を示す図である。

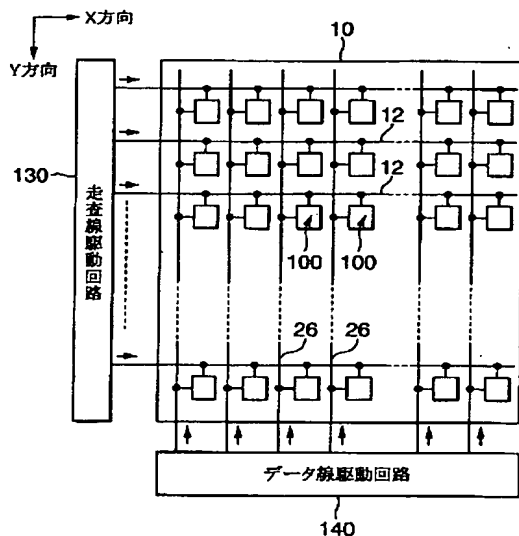
【図 4】本実施形態の製造方法について説明する説明図である。

【図 5】本実施形態の製造方法について説明する説明図である。

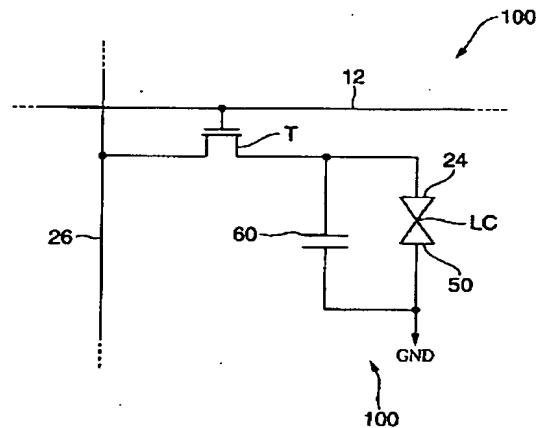
【図 6】本実施形態の製造方法について説明する説明図である。

【図 7】本実施形態の製造方法について説明する説明図である。

【図 1】



【図 2】



【図 8】本実施形態の製造方法について説明する説明図である。

【図 9】本実施形態の製造方法について説明する説明図である。

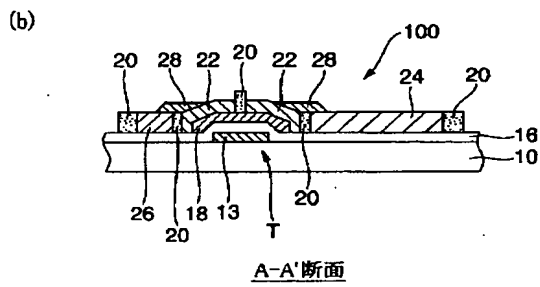
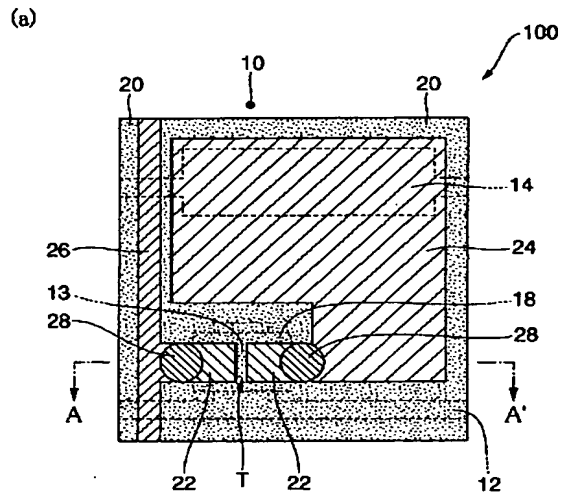
【図 10】液滴吐出法によって非晶質シリコン膜を形成する場合の形成工程を説明する図である。

【図 11】液晶表示装置をモバイル型のパーソナルコンピュータ（情報処理装置）に適用した例を示す斜視図である。

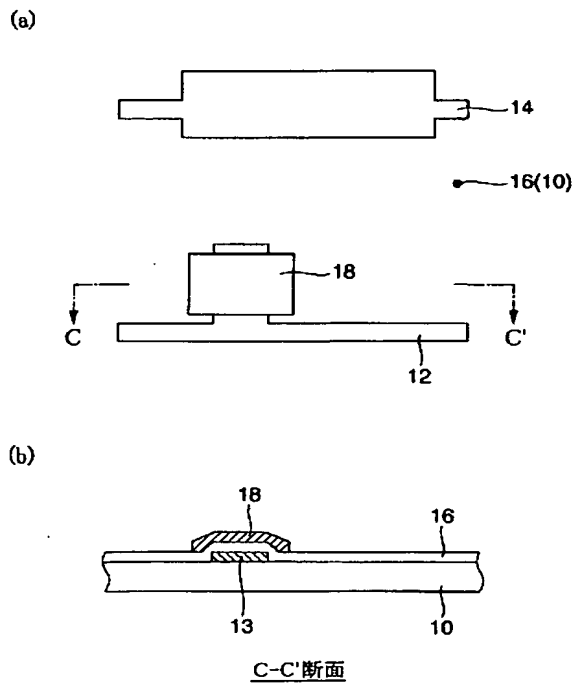
10 【符号の説明】

- 10 ガラス基板
- 12 ゲート線（走査線）
- 13 ゲート電極
- 14 容量線
- 16 ゲート絶縁膜
- 18、18a チャンネル領域
- 20 ポリイミド膜
- 22 ソース／ドレイン領域
- 24 画素電極
- 26 データ線（信号線）
- 28 接続部
- 100 画素部
- T 薄膜トランジスタ

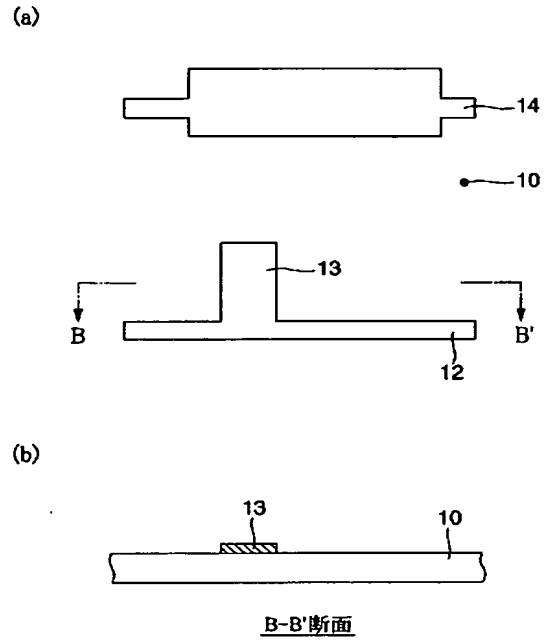
【図 3】



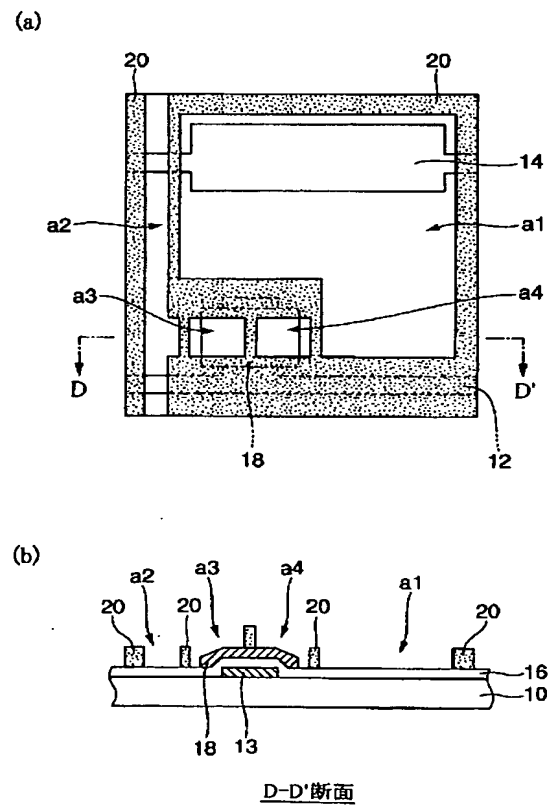
【図 5】



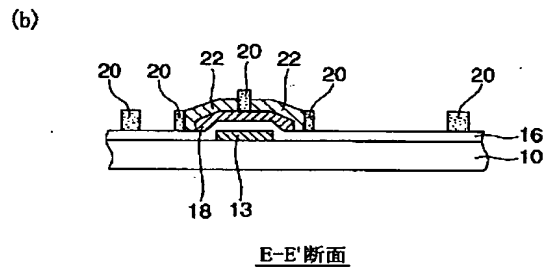
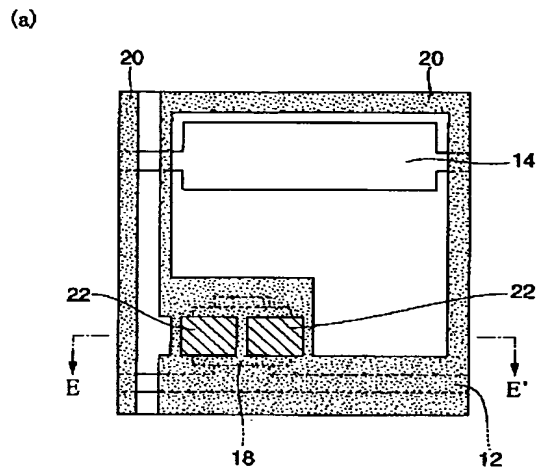
【図 4】



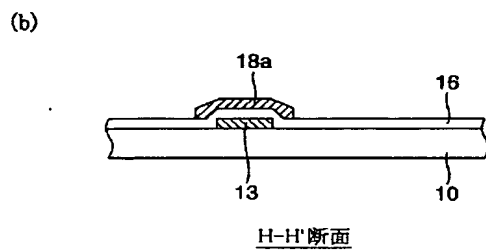
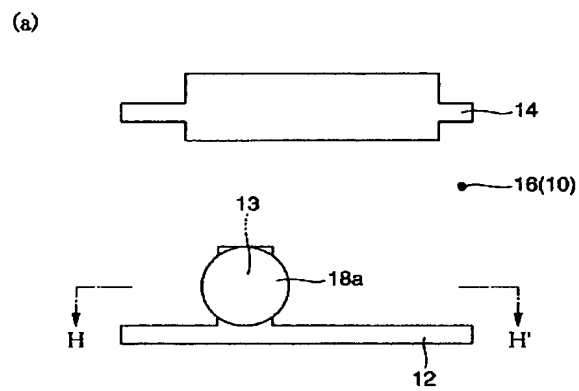
【図 6】



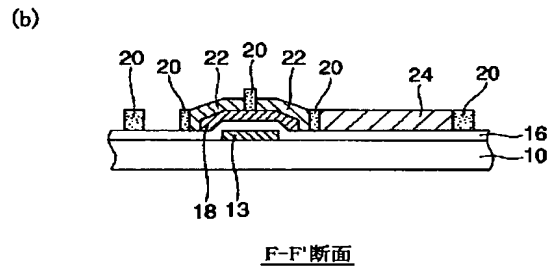
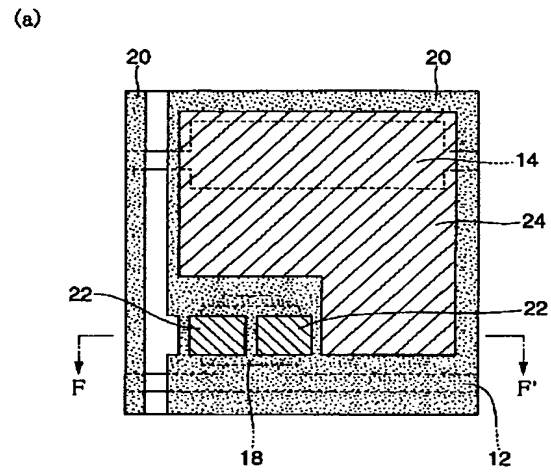
【図 7】



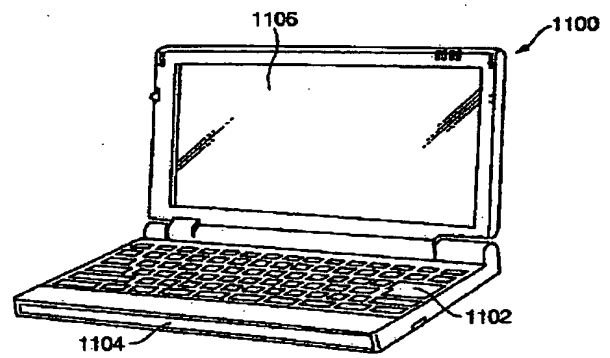
【図 10】



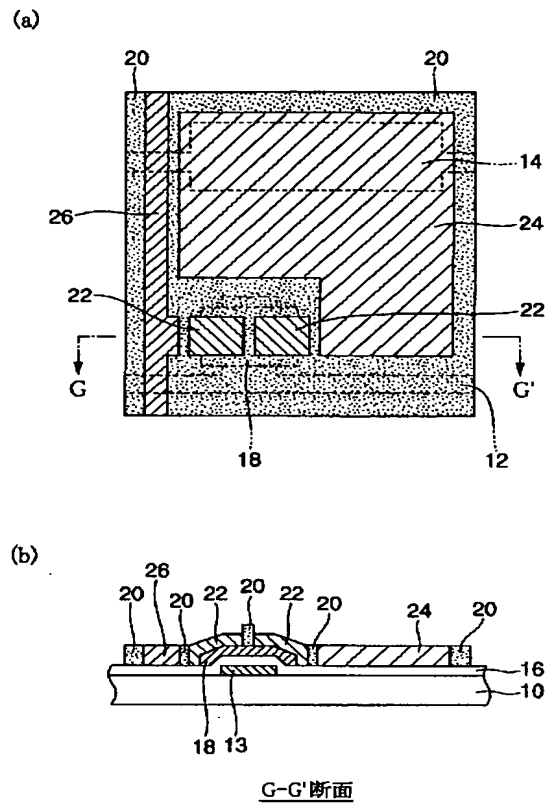
【図 8】



【図 11】



【図 9】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I
H 0 1 L 29/78

テーマコード (参考)

6 1 8 A

F ターム (参考) 2H092 HA04 JA26 KA05 KA07 KA10
KA12 KA18 KB24 MA07 NA25
NA27 RA10
4M104 AA01 BB01 BB04 BB05 BB07
BB08 BB09 BB36 CC01 CC05
DD20 DD22 DD37 DD43 DD51
DD78 DD81 GG09 GG10 GG14
GG20 HH14 HH20
5F110 AA16 AA30 BB01 CC07 CC08
DD02 EE01 EE41 EE44 EE45
EE47 FF02 FF03 FF09 FF30
GG02 GG15 GG41 GG45 HK01
HK09 HK16 HK31 HL01 HL21
HM17 NN72